

(19)

(11) Publication number: 06188239 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04354402

(51) Int'l. Cl.: H01L 21/318 H01L 21/90 H01L 27/04
H01L 29/784

(22) Application date: 16.12.92

(30) Priority:

(43) Date of application
publication: 08.07.94

(71) Applicant: YAMAHA CORP

(84) Designated
contracting states:

(72) Inventor: YAMAHA TAKAHISA

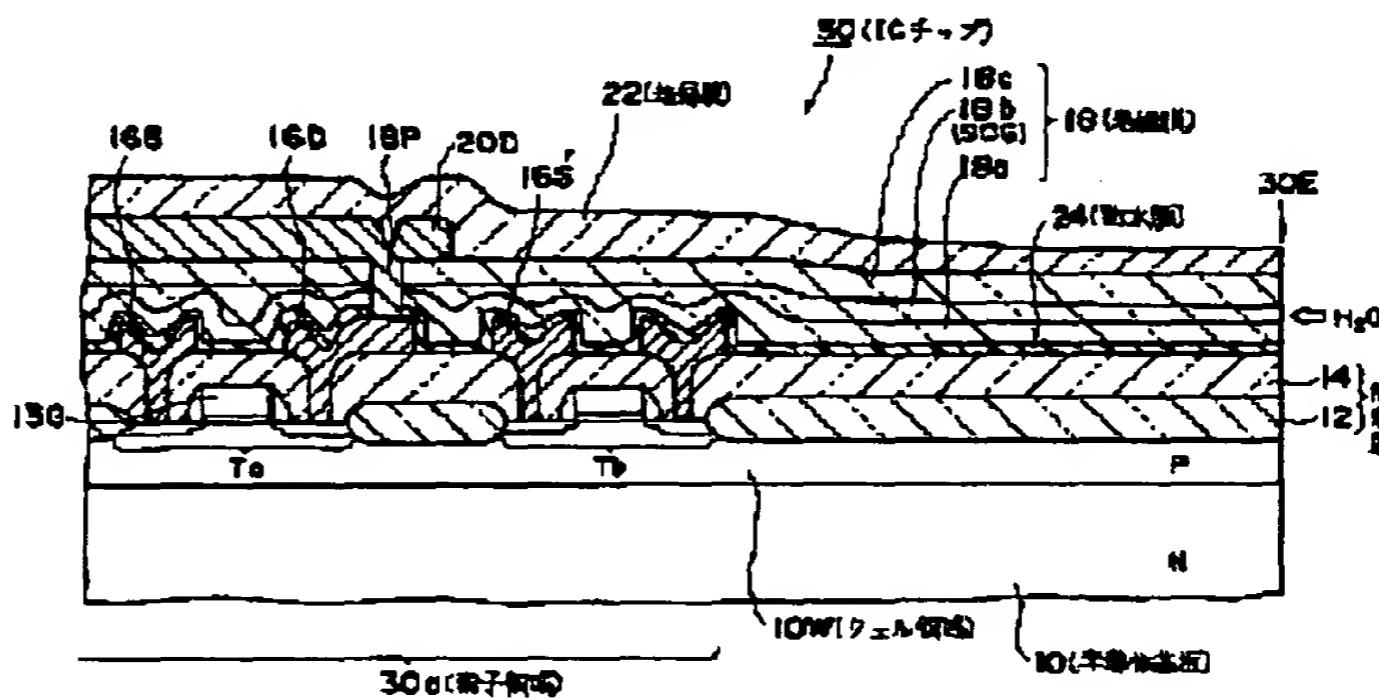
(74) Representative:

(54) SEMICONDUCTOR
DEVICE

(57) Abstract:

PURPOSE: To prevent moisture from penetrating an element region from a chip end via an interlayer insulation film, in an integrated circuit (IC) chip.

CONSTITUTION: In an IC chip 30, under an interlayer insulation film 18 comprising a silicon oxide film 18a, a spin-on-glass (SOG) film 18b, and a silicon oxide film 18c, etc., a waterproof film 24 made of silicon nitride, etc., is so provided as to cover an element region 30a. By virtue of the waterproof film 24, moisture (H₂O) is so intercepted that it can not reach the element region 30a. Therefore, in the element region 30a, the inversion of the conduction type of the surface of a P-type well region 10W and the corruptions of wiring material layers 16S, 16D, and 16S', etc., can be prevented for the reliability of a semiconductor device to be improved. Still, the waterproof film 24 is not restricted to being provided just under the silicon oxide film 18a, but is restricted only to being provided in a lower layer than the SOG film 18b.



COPYRIGHT: (C)1994,JPO&Japio

(10) 類別記載 (IP)

(12) 公開特許公報 (A)

(11) 特許公開番号

特開平6-188239

出願日 1994年6月17日

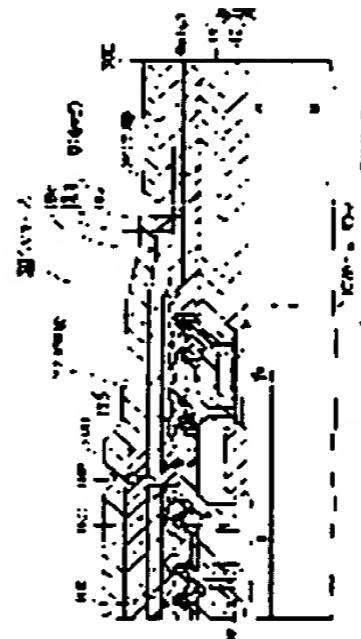
(51) 申立人	(52) 代表者	(54) 代表者	(71) 代理人	(73) 本件元
日立リミテッド 21/318 21/340 27/34 29/784	8 732-4M 2 7514-4M 2 8427-4M	PT		日本元
	7377-4M	110111 20/76 301 N		
		審査請求 本件は、請求項の範囲内に属する		
(20) 申請番号	平成4-951439	(72) 代理人	日本代理人会員	
(22) 申請日	平成4年(1992)12月16日		新潟県三条市中沢町10番-1号	
		(73) 本件元	三条 市内 新潟県三条市中沢町10番-1号 ティム・エス・エス 社内	
			(74) 代理人 伊藤十郎	500

(34) 【請求の範囲】 本発明は

②【要約】

【目的】 集積回路 (IC) チップにおいて、チップ端から層間絶縁膜を介して素子領域に浸入する水分を阻止する。

【構成】 ICチップ30において、シリコンオキサイド膜18a、スピノン・オン・ガラス (SOG) 膜18b、シリコンオキサイド膜18c等からなる層間絶縁膜18の下に素子領域30aを覆うように窒化シリコン等の防水膜24を設ける。水分 (H₂O) は、防水膜24により遮断され、素子領域30aまで到達しない。従って、素子領域30aにおいてP型ウエル領域10Wの表面の導電型が反転したり、配線材層16S, 16D, 16S'等が腐食したりするのを防止でき、信頼性が向上する。なお、防水膜24は、シリコンオキサイド膜18aの下に限らず、SOG膜18bより下層にあればよい。



【特許請求の範囲】

【請求項1】半導体基板と、この基板の表面にて所定の素子領域内に形成された複数の回路素子と、これらの回路素子と共に集積回路を構成すべく前記基板の表面に形成された複数層の配線と該複数層の間に形成された層間絶縁膜とを含む配線積層であって、該層間絶縁膜が前記素子領域を覆って前記基板の端部又はその近傍に達するように塗布絶縁膜を用いて平坦状に形成されているものと、前記配線積層を覆って形成された保護絶縁膜とを備えた半導体装置であって、前記塗布絶縁膜より下層に前記素子領域を覆うように防水膜を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、集積回路（IC）チップをそなえた半導体装置に関し、特にICチップにおいて層間絶縁膜を構成する塗布絶縁膜より下層に防水膜を設けたことによりチップ端から塗布絶縁膜を介して素子領域に水分が侵入するのを阻止するようにしたものである。

【0002】

【従来の技術】従来、ICチップの保護構造としては、図2、3に示すようなシールリング構造が知られている。

【0003】図2、3において、半導体基板10の表面には、複数のチップ内部領域30A、30Bが形成されている。各チップ内部領域は、多数の回路素子及び多層の配線により構成されるICを含むもので、その周辺部は、外部からの水分や不純物の侵入を防ぐために図2に示すようなシールリング構造になっている。

【0004】シールリング構造にあっては、基板表面に形成されたフィールド絶縁膜12の端部を覆ってチップ内部領域30Aを取囲むように第1の層間絶縁膜14と、1層目の配線材層16と、第2の層間絶縁膜18と、2層目の配線材層20と、保護絶縁膜22とが順次に形成される。配線材層16及び20は、それぞれ1層目及び2層目の配線を形成するのと同時に形成される。また、保護絶縁膜22としては、プラズマCVD（ケミカル・ベーパー・デポジション）法で形成される窒化シリコン膜を用いることが多い。

【0005】30A、30B等の各チップ内部領域及びその周辺のシールリング部を含む基板部分は、図3に示すように縦横のスクライプ領域32A、32Bに沿ってウエハ状の基板10をダイシングすることにより独立したICチップとなる。

【0006】

【発明が解決しようとする課題】上記した従来技術によると、ダイシングを行なう際に、図3に示すようにチッ

プ内部領域30Aに達するような切り欠きXが生ずることがある。図4は、このような切り欠きXによりチップ端30Eに絶縁膜12、14、18の端部が露出したICチップ30を示すもので、図2と同様の部分には同様の符号を付してある。

【0007】図4において、N型半導体基板10の表面には、P型ウエル領域10Wが形成されており、ウエル領域10Wの表面には、フィールド絶縁膜12の素子孔内にTa、Tb等のLDD（Lightly Doped Drain）構造のMOS型トランジスタが形成されている。トランジスタTa、TbのようなIC構成用の回路素子が形成された領域30aを素子領域と称する。

【0008】第1の層間絶縁膜14は、Ta、Tb等のトランジスタの13G等のゲート電極層と16S、16D等の1層目の配線材層との間に配置されるもので、例えばBPSG（ボロン・リンケイ酸ガラス）からなっている。配線材層16S及び16Dは、それぞれソース及びドレインの配線として使用される。

【0009】第2の層間絶縁膜18は、16S、16D等の1層目の配線材層と20D等の2層目の配線材層との間に配置されるもので、例えばシリコンオキサイド膜18aの上にスピンドル・オン・ガラス（SOG）を回転塗布して平坦状にSOG膜18bを形成すると共に、SOG膜18bの上にシリコンオキサイド膜18cを形成した構成になっている。配線材層20Dは、絶縁膜18に設けた接続孔18Pを介して配線材層16Dと接続されるもので、ドレイン配線として使用される。

【0010】ところで、チップ端30EにSOG膜18bが露出すると、外部から水分（H₂O）がSOG膜18bを介してチップ内部に浸入する場合がある。特に有機系SOGを用いると、水分が浸入する確率が著しく高くなる。浸入した水分は、SOG膜18b内を急速に素子領域30aまで拡散する。そして、SOG膜18b内を拡散した水分は、徐々に下方に拡散していき、フィールド絶縁膜12中に正の固定電荷を発生させる。この結果、P型ウエル領域10Wの表面で導電型がN型に反転し、例えばトランジスタTa及びTbの間にリーク電流ILが流れ、正常なトランジスタ動作を阻害する。

【0011】また、SOG膜18b内を拡散した水分は、例えばA1又はA1合金からなる配線材層16S、16D、20D等にも到達し、これらの配線材層を腐食させることがある。このため、配線の信頼性が低下する。

【0012】上記のような不都合をなくすには、切り欠きXが生じてもシールリング部に達しないようにスクライプ領域32A、32Bの幅（通常100[μm]程度）を広くすればよい。しかし、これでは、ウエハ1枚から取れるチップの数が減るので、得策でない。

【0013】この発明の目的は、スクライプ領域の幅を

広げることなく切り欠きに伴う水分浸入を防止することができる新規な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この基板の表面にて所定の素子領域内に形成された複数の回路素子と、これらの回路素子と共に集積回路を構成すべく前記基板の表面に形成された複数層の配線と該複数層の間に形成された層間絶縁膜とを含む配線積層であって、該層間絶縁膜が前記素子領域を覆って前記基板の端部又はその近傍に達するように塗布絶縁膜を用いて平坦状に形成されているものと、前記配線積層を覆って形成された保護絶縁膜とを備えた半導体装置であって、前記塗布絶縁膜より下層に前記素子領域を覆うように防水膜を設けたことを特徴とする。

【0015】

【作用】この発明の構成によれば、ダイシング時に生じた切り欠きによってSOG等の塗布絶縁膜がチップ端の側壁に露出しても、塗布絶縁膜の露出部から浸入する水分は、防水膜で遮断され、素子領域まで到達しない。

【0016】

【実施例】図1は、この発明の一実施例に係るICチップを示すもので、図4と同様の部分には同様の符号を付して詳細な説明を省略する。

【0017】ICチップ30は、N型半導体基板10、P型ウエル領域10W、フィールド絶縁膜12等を含むもので、素子領域30aには、LDL構造のMOS型トランジスタTa, Tb等の回路素子が形成されている。【0018】基板上面には、PSG及びBPSGをそれぞれ100 [nm] 及び600 [nm] の厚さに順次に堆積して1000°CでBPSGをフローすることにより第1の層間絶縁膜14を形成する。絶縁膜14に所要の接続孔を形成した後、基板上面にスパッタ法等によりWSi、Al合金(例えばAl-Si-Cu)、WSiを順次に被着してその被着層をパターニングすることにより1層目の配線材層16S, 16D, 16S'を形成する。配線材層16S, 16Dは、それぞれトランジスタTaのソース、ドレインの配線として使用され、配線材層16S'は、トランジスタTbのソース配線として使用される。

【0019】次に、基板上面には、プラズマCVD法により窒化シリコンを100 [nm] の厚さに堆積して防水膜24を形成する。防水膜24としては、スパッタ法で形成した窒化シリコン膜を用いてもよい。

【0020】次に、基板上面には、第2の層間絶縁膜18を形成する。すなわち、プラズマCVD法によりシリコンオキサイド膜18aを400 [nm] の厚さに形成した後、SOG膜18bを約300 [nm] の厚さに塗布し、400°Cでキュアする。そして、プラズマCVD法によりシリコンオキサイド膜18cを400 [nm] の厚さに形成する。

【0021】次に、レジスト層をマスクとするドライエッティング処理等により層間絶縁膜18及び防水膜24を介して配線材層16Dに達するように接続孔18Pを形成する。

【0022】次に、基板上面には、スパッタ法等によりAl合金(例えばAl-Si-Cu)を被着してその被着層をパターニングすることにより配線材層20Dを形成する。

【0023】この後、基板上面には、プラズマCVD法により窒化シリコンを堆積して保護絶縁膜22を形成する。なお、チップ内部領域の周辺部は、図2に示したようなシールリング構造にすることができる。この場合、配線材層16, 20は、それぞれ配線材層16S, 20Dと共通の工程で形成される。

【0024】上記のような処理が終ったウエハ状の基板を図3に示したようなスクライプ領域に沿ってダイシングすることによりICチップ30が得られる。

【0025】ダイシングの際に図3のXのような切り欠きが生じたことによりチップ端30Eに層間絶縁膜18の端部が露出したとしても、外部からSOG膜18bを介して浸入する水分(H₂O)は、防水膜24により遮断され、素子領域30aまで到達しない。従って、ウエル領域10Wの表面では、導電型反転現象が起きず、素子間リーキ電流も流れない。

【0026】ウエル領域10W及び配線材層16S'を0 [V] とし且つ配線材層20Dを0.2 [V] として配線材層20D-16S'間のリーキ電流を測定した。すなわち、図1のようなこの発明に係るサンプルと、図4のような従来構造のサンプルとを100サンプルずつ用意し、これらのサンプルをプレッシャークリッパー試験(PCT)装置の試験室(140°C, 85%RH)内に100時間放置する前と、放置した後とで上記リーキ電流を測定したところ、次の表1のような結果が得られた。

【0027】

【表1】

この発明のサンプル		従来構造のサンプル
基底	0.1 [pA] 以下	0.1 [pA] 以下
基底後	0.1 [pA] 以下	100 [pA] ~ 50 [nA]

表1の試験結果によれば、この発明のリーキ電流防止効

果が大きいことがわかる。

【0028】図1の構造では、酰酸樹脂層16S, 16D, 16S'等への水分浸入が阻止されるので、酰酸樹脂食が抑制される。また、20D等の2層目の酰酸樹脂層の腐食を防ぐため、これらの酰酸樹脂層より下層で且つSOG膜18bより上層に防水膜24と同様の防水膜を設けてもよい。

【0029】上記実施例では、層間絶縁膜18の下に防水膜24を設けたが、防水膜24の設置箇所はこれに限定されない。すなわち、防水膜24は、SOG膜18bより下層で且つ13G等の電極層より上層であれば、例えば第1の層間絶縁膜14の下、中又は上等に設けてよい。絶縁膜14に関して防水膜24を設ける場合は、防水膜24として、膜応力の殆どないスパッタ窒化シリコン膜を用いると、膜応力によるホットキャリア耐性の低下を抑えることができる。

【0030】

【発明の効果】以上のように、この発明によれば、層間絶縁膜を構成するSOG等の塗布絶縁膜より下層に防水膜を設けて水分浸入を阻止するようにしたので、チップ内部で導電型反転や酰酸樹脂食が生ずるのを防止することができ、高信頼のIC装置を実現可能となる効果が得ら

れる。

【0031】その上、スクライブ領域の幅を広げる必要がないので、ウエハ1枚当たりのチップ収率を減らさなくて済む利点もある。

【図面の簡単な説明】

【図1】この発明の一実施例に係るICチップを示す基板断面図である。

【図2】従来のICチップ保護構造を示す基板断面図である。

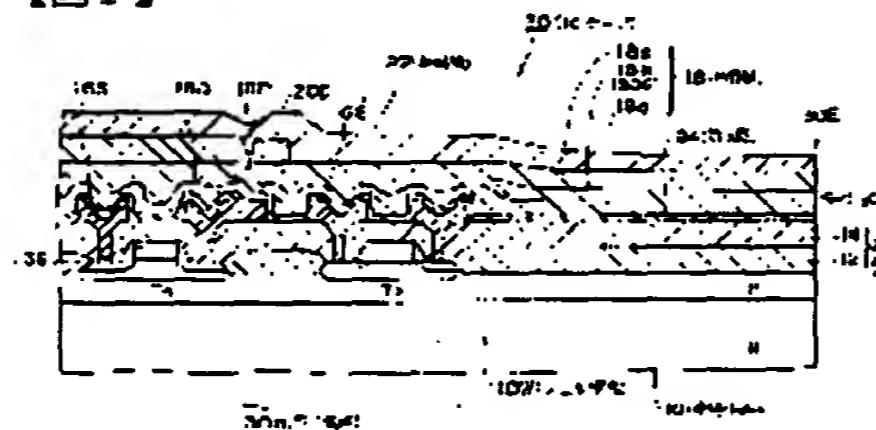
【図3】基板上面の素子領域配置を示す上面図である。

【図4】従来のICチップにおける導電型反転現象を説明するための基板断面図である。

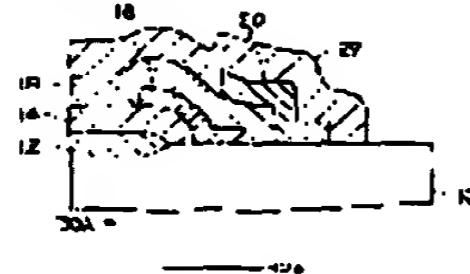
【符号の説明】

10:半導体基板、10W:ウエル領域、12:フィールド絶縁膜、14:第1の層間絶縁膜、16S, 16S', 16D:1層目の酰酸樹脂層、18:第2の層間絶縁膜、18a, 18c:シリコンオキサイド膜、18b:SOG膜、20D:2層目の酰酸樹脂層、22:保護絶縁膜、24:防水膜、30:ICチップ、30a:素子領域、30E:チップ端。

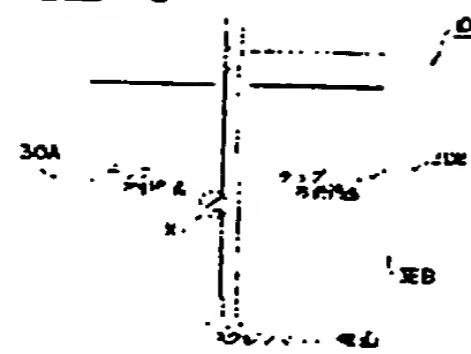
【図1】



【図2】



【図3】



【図4】

